

日本国特許庁
JAPAN PATENT OFFICE

J1017 U.S. PTO
09/956973
09/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2000年11月29日

出願番号
Application Number:

特願2000-363902

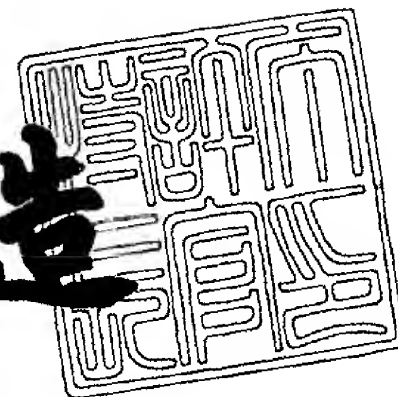
出願人
Applicant(s):

富士通株式会社

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073984

【書類名】 特許願

【整理番号】 0040970

【提出日】 平成12年11月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松崎 康郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐藤 靖治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 相川 忠雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山崎 雅文

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン

プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 回路間を接続する第 1 の配線と、
前記回路間を接続する第 2 の配線と、
前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方
を選択する切り替え回路とを有し、
前記第 2 の配線は前記第 1 の配線よりも大きいサイズの半導体装置。

【請求項 2】 回路間を接続する第 1 の配線と
前記回路間を接続する第 2 の配線と、
前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方
を選択する切り替え回路とを有し、
前記第 2 の配線は前記第 1 の配線より上層に形成されている半導体装置。

【請求項 3】 回路間を接続する第 1 の配線と
前記回路間を接続する第 2 の配線と、
前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方
を選択する切り替え回路とを有し、
前記第 1 の配線はウェハ試験時に使用される配線であり、前記第 2 の配線はウ
ェハ試験後の動作時に使用される配線である半導体装置。

【請求項 4】 前記第 1 及び第 2 の配線は同一信号を伝送する配線である請
求項 1 ないし 3 のいずれか一項記載の半導体装置。

【請求項 5】 前記第 1 の配線は、前記第 2 の配線が形成されていない段階
で動作可能であり、この場合には、前記第 1 の配線を介して回路間で信号が伝送
される請求項 1 ないし 4 のいずれか一項記載の半導体装置。

【請求項 6】 前記切り替え回路は、前記第 2 の配線が形成された後では、
当該第 2 の配線を固定的に選択する請求項 1 ないし 5 のいずれか一項記載の半導
体装置。

【請求項 7】 前記切り替え回路は、選択された配線のみを前記回路間に電
氣的に接続する請求項 1 ないし 6 のいずれか一項記載の半導体装置。

【請求項 8】 前記切り替え回路は、プルグラマブルである請求項 1 ないし 7 のいずれか一項記載の半導体装置。

【請求項 9】 前記第 2 の配線は、同一長さの信号線を含むことを特徴とする請求項 1 ないし 8 のいずれか一項記載の半導体装置。

【請求項 10】 チップ上に形成される第 1 の配線層と、これよりも上層に形成される第 2 の配線層とを具備し、第 1 の配線層に形成される第 1 の電極の数を M とし、第 2 の配線層に形成される第 2 の電極の数を N とし、第 1 及び第 2 の電極は同一信号を受信する場合、 $M > N \geq 1$ の条件が満足される半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関するものであり、より詳細には、最近注目されているスーパーコネクタ（巨大配線とも言う）を用いた半導体装置に関する。

【0002】

【従来の技術】

スーパーコネクタは、幅 $5 \sim 10 \mu\text{m}$ 程度の配線層を用いた配線技術であり、半導体装置の高速化及び低電力化を可能とする。

【0003】

巨大配線は、微細加工で形成する通常の配線に対し、次のような利点がある。

- ①幅が広いため電気抵抗が小さい。
- ②バルクとの絶縁層の層間が厚く、また巨大配線間の配線間隔が広いため寄生容量が小さい。
- ③以上より、巨大配線の時定数は非常に低く高速動作に向いている。

【0004】

また、半導体装置の実装面積は年々縮小されており、BGA（ボール・グリッド・アレイ）などの高密度実装技術が発達してきた。これは、半導体チップ表面に bumps をアレー状に並べて外部電極とするものである。このとき、半導体チップの回路から bumps に配線する方法として、再配線技術がある。この再配線も幅の広い配線であり、巨大配線である。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明は、従来再配線として利用されている巨大配線をチップに形成された回路間で信号を伝送する配線として用い、高速かつ低電力消費の半導体装置を提供することを目的とする。

【 0 0 0 6 】

本発明の目的をより特定すれば、ウェハ試験（ウェハプローバーを用いて、パターン形成後のウェハ上のチップの良品、不良品を選別する試験）やその後のチップ試験（回路の論理機能や電気的特性を試験）などの各種試験や、実装された状態での動作を考慮して構成された配線構造を有する半導体装置を提供する。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は、回路間を接続する第 1 の配線と、前記回路間を接続する第 2 の配線と、前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方を選択する切り替え回路とを有し、前記第 2 の配線は前記第 1 の配線よりも大きいサイズの半導体装置である。

【 0 0 0 8 】

上記配線構造を別の観点から特定すると、前記第 2 の配線は前記第 1 の配線より上層に形成されているとも言える。

【 0 0 0 9 】

更に別の観点から上記配線構造を特定すると、前記第 1 の配線はウェハ試験時に使用される配線であり、前記第 2 の配線はウェハ試験後の動作時に使用される配線とも言える。

【 0 0 1 0 】

以上のように、異なる形態の第 1 及び第 2 の配線を選択的に使用することで、高速かつ低電力消費の半導体装置を提供することができる。

【 0 0 1 1 】

【発明の実施の形態】

まず、本発明の理解を容易にするために、図 1 を参照して、半導体装置の一例

であるロジックチップを説明する。

【 0 0 1 2 】

図 1 は、ロジックチップの一般的な構成を示すブロック図である。図示するロジックチップ 1 0 は、5 つの機能ブロック 1 1 ~ 1 5、外部とのインタフェースを形成する I / O 回路 1 6、及び外部から供給されるクロックをバッファリングして内部回路に供給するクロック (C L K) バッファ 1 7 を有する。機能ブロック 1 1 ~ 1 5、I / O 回路 1 6 及びクロックバッファ 1 7 の間には、バス 1 8 やクロック信号線 1 9 が設けられている。バス 1 8 やクロック信号線 1 9 は、一般的な微細加工技術で形成される信号線 (以下、通常配線と言う) である。バス 1 8 は、データ、アドレス、制御信号などを伝送する。クロック信号線 1 9 は、クロックバッファ 1 7 でバッファリングされたクロックを各部に供給する。

【 0 0 1 3 】

バス 1 8 とクロック信号線 1 9 は、チップ内の信号線の中で比較的長い。このような比較的長い信号線に対し、以下に説明する巨大配線を設ける。

【 0 0 1 4 】

図 2 は、本発明の第 1 の実施の形態による半導体装置の構成を示すブロック図である。

【 0 0 1 5 】

図示する半導体装置 1 0 0 はロジックチップ (ロジックデバイス) であり、図 1 に示すロジックチップ 1 0 のように、機能ブロック 2 1 ~ 2 5、外部とのインタフェースを形成する I / O 回路 2 6、及び外部から供給されるクロックをバッファリングして内部回路に供給するクロック (C L K) バッファ 2 7 を有する。また、ロジックチップ 1 0 0 は同様に、微細加工技術で形成される通常配線によるバス 2 8 及びクロック信号線 2 9 を有する。

【 0 0 1 6 】

ロジックチップ 1 0 0 は更に、巨大配線で形成されるバス 3 1 及び巨大配線で形成されるクロック信号線 3 2、及び切り替え回路 3 0 を具備する。各機能ブロック 2 1 ~ 2 5、I / O 回路 2 6 及びクロックバッファ 2 7 は、切り替え回路 3 0 が出力する信号 S 1 に従い、選択的にバス 2 8 とバス 3 1 のいずれか一方及び

クロック信号線 2 9 と 3 2 のいずれか一方に接続される。

【 0 0 1 7 】

図 3 は、通常配線によるバス 2 8 やクロック信号線 2 9 と、巨大配線で形成されるバス 3 1 やクロック信号線 3 2 の関係を示すための模式的な断面図である。

【 0 0 1 8 】

半導体基板 4 0 上（チップ面上）には、多層配線層 4 2 が形成されている。多層配線層 4 2 は、多層に構成された配線層 4 2 a、4 2 b を有する。各配線層 4 2 a、4 2 b はポリイミドなどの絶縁層で絶縁され、最上部の配線層 4 2 b 上にはポリイミドなどの絶縁層が設けられている。図 3 では、便宜上、多層配線層 4 2 の絶縁層を一括して参照番号 4 1 で示してある。バス 2 8 とクロック信号線 2 9 は、多層配線層 4 2 内の配線であり、通常の微細加工で形成される通常配線である。

【 0 0 1 9 】

多層配線層 4 2 は電極 4 3 を有する。電極 4 3 はコンタクト部 4 5、4 6 及び中間の配線層を介して、半導体基板 4 0 に形成された拡散層 4 4 に電氣的に接続される。

【 0 0 2 0 】

絶縁層 4 7 上には、巨大配線層 4 8 が形成されている。バス 3 1 及びクロック信号線 3 2 の各信号線は、巨大配線層 4 8 で形成される。巨大配線層 4 8 は、コンタクト部 3 3 で電極 4 3 とコンタクトしている。電極 4 3 は、絶縁層 4 1 に設けられたコンタクトホールから露出している。コンタクト部 3 3 は、絶縁層 4 1、4 7 に形成されたコンタクトホールに巨大配線層 4 8 が入り込んで電極 4 3 に接続する構成である。巨大配線層 4 8 の幅及び厚みは多層配線層 4 2 の配線層 4 2 a、4 2 b よりも大きく、例えば 5 ～ 1 0 μ m である。

【 0 0 2 1 】

巨大配線層 4 8 の上には、カバー膜 4 9 が設けられている。カバー膜 4 9 は開口部（スルーホール）を有し、そこから巨大配線層 4 8 が露出している。開口部には、巨大配線層 4 8 上に形成された他のチップとの接続用の電極 5 0 が設けられている。電極 5 0 はバンプなどである。

【 0 0 2 2 】

なお、電極 5 0 はマルチチップ半導体装置を形成するために、他のチップとチップ面を向かい合わせにして重ねたときに、他のチップに設けられた電極とコンタクトするためのものである。従って、このような目的がない場合には、電極 5 0 は不要である。つまり、巨大配線 4 8 はカバー膜 4 9 で完全に覆われる。

【 0 0 2 3 】

図 2 に戻り、上記のような巨大配線で形成されるバス 3 1 の各信号線とクロック信号線 3 2 は、コンタクト部 3 3 を介して各機能ブロック 2 1 ~ 2 5 に接続されている。また、バス 3 1 はコンタクト部 3 3 を介して I / O 回路 2 6 に接続されている。更に、クロック信号線 3 2 はコンタクト部 3 3 を介してクロックバッファ 2 7 に接続されている。

【 0 0 2 4 】

図 4 は、図 2 に示す切り替え回路 3 0 内に設けられ他バス切り替え回路の構成、及び一例として機能ブロック 2 1 と 2 5 の間の通常配線によるバス 2 8 のうちの信号線 2 8 i と、巨大配線によるバス 3 1 の対応する信号線 3 1 i と、機能ブロック 2 1 と 2 5 の関連する部分の回路構成を示す図である。バス 2 8 や 3 1 は、信号を一方向に伝送する部分と、双方向に伝送する部分とを含む。図 4 は、信号を機能ブロック 2 1 から機能ブロック 2 5 に一方向に伝送する構成例である。一方向に伝送される信号は、例えば、制御信号やアドレス信号などである。

【 0 0 2 5 】

機能ブロック 2 1 はドライバ 5 1 を具備する。ドライバ 5 1 は、内部回路からの信号 S G L を、制御線 3 4 を通る切り替え信号 S 1 で指示された方の信号線 (2 8 i と 3 1 i のいずれか一方) に出力する。ドライバ 5 1 は、インバータ 5 2 、 5 3 、 5 4 、及び N A N D ゲート 5 5 、 5 6 で構成される。切り替え信号 S 1 がハイレベル (H) にあると、N A N D ゲート 5 6 は活性化され、N A N D ゲート 5 5 は非活性化される。よって、内部回路からの信号 S G L は、N A N D ゲート 5 6 及びインバータ 5 4 を介して、通常配線によるバス 2 8 の信号線 2 8 i に送出される。反対に、切り替え信号 S 1 がローレベル (L) にあると、N A N D ゲート 5 5 は活性化され、N A N D ゲート 5 6 は非活性化される。よって、内部

回路からの信号 S G L は、N A N D ゲート 5 5 及びインバータ 5 3 を介して、巨大配線によるバス 3 1 の信号線 3 1 i に送出される。

【 0 0 2 6 】

バス切り替え回路 3 0 A は、巨大配線 6 1、抵抗 6 2 及びインバータ 6 3 を有する。巨大配線 6 1 と抵抗 6 2 の直列回路は、電源電圧 V C C とグランド V S S との間に設けられている。巨大配線が形成されていない時は、インバータ 6 3 の入力はグランドレベル V S S となり、切り替え信号 S 1 は H である。巨大配線 6 1 が形成されると、切り替え信号 S 1 は H となる。

【 0 0 2 7 】

機能ブロック 2 5 は、レシーバ 5 7 を有する。レシーバ 5 7 は、N O R ゲート 5 8、インバータ 5 9 及び N チャネルの M O S トランジスタなどの電界効果トランジスタ (F E T) で構成される。切り替え信号 S 1 が H の時、トランジスタ 6 0 が O N して通常配線によるバス 2 8 の信号線 2 8 i が選択される。反対に、切り替え信号 S 1 が L の時、トランジスタ 6 0 が O F F して巨大配線によるバス 3 1 の信号線 3 1 i が選択される。選択された信号はインバータ 5 9 を通り、機能ブロック 2 5 の図示しない内部回路に出力される。

【 0 0 2 8 】

ここで、バス切り替え回路 3 0 A の切り替えは、以下に説明するウェハ試験やチップ試験を考慮して、次の通り行われる。

【 0 0 2 9 】

ウェハ試験は、ウェハプローバーを用いて、パターン形成後のウェハ上のチップの良品、不良品を選別する目的をもつ。そして、不良品と判定された場合、不良部分を予め設けられた冗長手段でリペアする。この際、フューズをレーザなどで溶断する。フューズは、図 3 に示す多層配線層 4 2 内に設けられ、絶縁膜 4 1 に設けられた開口 (リペア用の窓) から露出している。絶縁層 4 7 を設け、その上に巨大配線 4 8 を形成してしまうと、上記リペア用の窓が塞がってしまう。よって、ウェハ試験は巨大配線を形成する工程の前に実施する必要がある。

【 0 0 3 0 】

巨大配線を形成する前には、図 4 に示す構成のうち巨大配線による信号線 3 1

i は形成されていない。また、バス切り替え回路 3 0 A の巨大配線 6 1 も形成されていない。よって、切り替え信号 S 1 は H となり、既に形成されている通常配線による信号線 2 8 i が選択される。

【 0 0 3 1 】

このようにしてウェハ試験を実施した後に、図 3 に示す巨大配線 4 8 や 6 1 が形成される。巨大配線 4 8 は正規の配線となるものなので、巨大配線 4 8 を設けた後に試験（チップ試験）しなければならない。その際、通常配線による信号線 2 8 i はもはや不要である。この信号線 2 8 i が接続されたままだと、この寄生容量が巨大配線による信号線 3 1 i に付加されてしまい問題である。

【 0 0 3 2 】

ウェハ試験を実施した後にバス切り替え回路 3 0 A の巨大配線 6 1 が形成されるので、チップ試験時には切り替え信号 S 1 は L となる。よって、巨大配線による信号線 3 1 i が選択される。巨大配線 6 1 は配線されたままになるので、巨大配線による信号線 3 1 i が恒久的に選択される。巨大配線は前述した利点を有するので、図 2 に示す半導体装置 1 0 0 は遅延時間が短く、消費電力が少ないものとなる。

【 0 0 3 3 】

図 5 は、通常配線によるクロック信号線 2 9 と巨大配線による信号線 3 2 との制御に係る構成を示す図である。クロックは、クロックバッファ 2 7 からクロック信号線 2 9 又は 3 2 を通り、各機能ブロック 1 1 ～ 1 5 に一方向に伝送される。

【 0 0 3 4 】

クロックバッファ 2 7 は、外部クロック端子 6 4 に接続されたクロック入力回路 6 5 及びドライバ 6 6 を有する。ドライバ 6 6 は、インバータ 6 7、6 8、6 9、及び NAND ゲート 7 0、7 1 を有する。各機能ブロック 1 1 ～ 1 5 はレシーバ 7 2 を具備する。レシーバ 7 2 は、NOR ゲート 7 3、インバータ 7 4、及び N チャネルトランジスタ 7 5 を具備する。

【 0 0 3 5 】

クロック信号線切り替え回路 3 0 B は、図 2 に示す切り替え回路 3 0 内に設け

られ、図4に示すバス切り替え回路30Aと同一構成である。すなわち、図示するように、クロック信号線切り替え回路30Bは、巨大配線61a、抵抗62a及びインバータ63aを有する。図4及び図5の構成では、バス切り替え回路30Aとクロック信号線切り替え回路30Bとは別に設けられている。従って、制御線34Aは図3に示す制御線34と別に設けられている。しかし、どちらか一方の切り替え回路のみを設け、バス切り替えとクロック信号線切り替えとで共用しても良い。

【0036】

切り替え信号S1はHの場合、ドライバ66及びレシーバ72は通常配線によるクロック信号線29を選択する。反対に、切り替え信号S1がLの場合、ドライバ66及びレシーバ72は巨大配線によるクロック信号線32を選択する。

【0037】

図6は、図2に示すバス29、32のうち、データを伝送するデータバス及びこれに係る構成を示すブロック図である。図6では、通常配線によるバス28のうちの1本のデータバス線を28jとし、巨大配線によるバス31のうちの1本のデータバス線を31jとして示してある。

【0038】

データバス線28j、31j上をデータDATAが双方向に伝送されるので、各機能ブロック21～25（図6では機能ブロック21と25のみが図示されている）は、各データバス線毎にドライバ及びレシーバを具備する。より具体的に説明すると、機能ブロック21はドライバ81とレシーバ28を有し、機能ブロック25は、ドライバ101とレシーバ102を有する。

【0039】

機能ブロック21のドライバ81は、インバータ83、84、90、91、NANDゲート87、99、NORゲート85、86、92、93、Pチャネルトランジスタ88、95、Nチャネルトランジスタ89、96を有する。機能ブロック21のレシーバ82は、NORゲート97、インバータ98及びNチャネルトランジスタ99を有する。

【0040】

ドライバ 8 1 は、内部回路から H のイネーブル信号 E N 1 を受けると活性化される。バス切り替え回路 3 0 A が H の切り替え信号を出力すると、N O R ゲート 9 2 には L レベルの信号が入力するので活性化されるのに対し、N O R ゲート 8 5 には H レベルの信号が入力するので非活性化される。従って、データの値に応じてトランジスタ 9 5 又は 9 6 が駆動され、通常配線によるデータバス線 2 8 j にデータが出力される。なお、切り替え信号 S 1 が H の時はインバータ 1 2 2 の出力が L となるので、データバス線 2 8 j に接続されている N チャンネルトランジスタ 1 2 1 は O F F である。

【 0 0 4 1 】

内部回路から H のイネーブル信号 E N 1 を受けた状態で、L の切り替え信号がバス切り替え回路 3 0 A から出力されると、N O R ゲート 8 5 が活性化され、N O R ゲート 9 2 が非活性化される。よって、データの値に応じてトランジスタ 8 8 又は 8 9 が駆動され、巨大配線によるデータバス線 3 1 j にデータが出力される。なお、切り替え信号 S 1 が L の時はインバータ 1 2 2 の出力が H となるので、データバス線 2 8 j に接続されている N チャンネルトランジスタ 1 2 1 は O N となり、通常配線によるデータバス線 2 8 j はグラウンドレベル V S S に設定される。

【 0 0 4 2 】

上記ドライバ 8 1 と同様に、機能ブロック 2 5 のドライバ 1 0 1 は、インバータ 1 0 3、1 0 4、1 1 0、1 1 1、N A N D ゲート 1 0 7、1 1 4、N O R ゲート 1 0 5、1 0 6、1 1 2、1 1 3、P チャンネルトランジスタ 1 0 8、1 1 5、N チャンネルトランジスタ 1 0 9、1 1 6 を有する。機能ブロック 2 5 のレシーバ 1 0 2 は、N O R ゲート 1 1 7、インバータ 1 1 8 及び N チャンネルトランジスタ 1 1 9 を有する。ドライバ 1 0 1 及びレシーバ 1 0 2 の動作は前述したドライバ 8 1 及びレシーバ 8 2 の動作と同様である。

【 0 0 4 3 】

他の機能ブロックも同様に構成されている。

【 0 0 4 4 】

図 7 は、前述したバス切り替え回路 3 0 A 及びクロック切り替え回路 3 0 B の

他の構成例を示す図である。

【 0 0 4 5 】

図 7 (a) に示す構成は、抵抗 1 3 1 とインバータ 1 3 2 とフューズ 1 3 3 とからなる。抵抗 1 3 1 とフューズ 1 3 3 を電源電圧側 V C C とグランド V S S の間に接続する。フューズ 1 3 3 が接続されている時は、切り替え信号 S 1 は H となる。フューズ 1 3 3 を溶断すると、切り替え信号は L となる。

【 0 0 4 6 】

図 7 (b) に示す構成は、試験用パッド 1 3 4 、プルアップ抵抗 1 3 5 及びインバータ 1 3 6 からなる。巨大配線を形成する前に、試験用パッド 1 3 4 にプローブを当ててグランドレベル V S S に設定することで、切り替え信号 S 1 は H となる。試験用パッド 1 3 4 がオープンの状態では、切り替え信号 S 1 は L である。

【 0 0 4 7 】

図 7 (c) に示す構成は、電極 1 3 9 、抵抗 1 4 0 及びインバータ 1 4 1 からなる。電極 1 3 9 は外部接続用の端子であり、例えば図 3 の突起電極 5 0 で形成される。突起電極 5 0 は、他のチップやボード 1 3 7 と当該半導体装置を接続した際、チップやボード 1 3 7 の電極 1 3 8 と接続される。例えば、チップ 1 3 7 と当該半導体装置（チップ）とを重ね合わせると、電極 1 3 8 と 1 3 9 がコンタクトする。これにより、電極 1 3 8 に与えられている電源電圧 V C C が電極 1 3 9 にも与えられる。この結果、切り替え信号 S 1 は L となる。つまり、当該半導体装置が使用される状態では、巨大配線によるバスやクロック信号線が選択される。

【 0 0 4 8 】

図 7 (d) の構成は、モード選択回路で構成される。モード選択回路は例えば、D R A M チップに搭載されており、外部からのコマンド信号やアドレス信号で指示される内部回路の動作モードを設定するものである。このようなモード選択回路を用いて、切り替え信号 S 1 を設定する。

【 0 0 4 9 】

なお、図 4 ～ 6 や図 7 (a) に示す切り替え回路 3 0 A 、 3 0 B の構成はプロ

グラマブルな素子を用いた回路である。

【 0 0 5 0 】

図 8 は、本発明の第 2 の実施の形態による半導体装置のブロック図である。

【 0 0 5 1 】

第 2 の実施の形態による半導体装置 2 0 0 は、次の点を考慮したものである。ウェハ試験で通常配線を用いて動作させ、巨大配線を形成した後はこれを用いて動作させた場合、ウェハ試験と巨大配線後の動作（チップ試験や実装された場合の動作など）で、信号のタイミングが変わってしまう。これを防止した構成を有するのが、本発明の第 2 の実施の形態である。

【 0 0 5 2 】

図 8 において、各機能ブロック 2 1～2 5 にはそれぞれ、クロックバッファ（クロックを受信する回路）1 4 5～1 4 9 が設けられている。なお、後述するように、クロックバッファ 1 4 9 は他のクロックバッファ 1 4 5～1 4 8 と異なる回路構成である。各クロックバッファ 1 4 5～1 4 9 にはそれぞれ、外部接続用のパッド（電極）1 5 0～1 5 4 が接続されている。パッド 1 5 0～1 5 4 はそれぞれ、機能ブロック 2 1～2 5 に近接した位置に形成されている。また、クロックバッファ 1 4 5～1 4 8 には、巨大配線で形成されるクロック信号線 1 5 6、及び制御線 3 4 A が接続されている。クロック信号線 1 5 6 はコンタクト部 1 5 7 を介して各機能ブロック 2 1～2 5 と接続される。各クロックバッファ 1 4 5～1 4 8 は、クロック切り替え回路 3 0 B が出力するクロック切り替え信号 S 1 に従い、パッド 1 5 0～1 5 3 に与えられる外部からのクロックと、巨大配線 1 5 6 を通って供給される外部からのクロックのいずれか一方を選択して、選択したクロックを内部クロックとして機能ブロック 2 1～2 4 に出力する。

【 0 0 5 3 】

パッド 1 5 0～1 5 4 は、通常配線の配線層で形成されたものである。つまり、図 3 の電極 4 3 に相当するものである。パッド 1 5 5 はパッド 1 5 1～1 5 4 と同様に外部からのクロックを受けるものであるが、巨大配線層で形成されるものである。つまり、図 3 の電極 5 0 に相当するものである。図 3 に示す電極 5 0 はバンプであるが、平坦形状のパッドであっても良い。

【 0 0 5 4 】

電極 1 5 4 と 1 5 5 は機能ブロック 2 5 に近接して配置されているため、機能ブロック 2 5 には、バッファ 1 4 9 及び通常配線によるクロック信号線 1 5 6 A を介してのみ、外部からクロックが供給される。つまり、ウェハ試験時にはパッド 1 5 4 に与えられたクロックが供給され、巨大配線形成後のチップ試験や実装後の動作においてはパッド 1 5 5 に与えられたクロックが供給される。クロック信号線 1 5 6 A は短いので、どちらの場合も機能ブロック 2 5 に与えられるクロックのタイミングは変わらない。

【 0 0 5 5 】

ウェハ試験時には、パッド 1 5 0 ～ 1 5 3 に与えられた外部クロックがクロックバッファ 1 4 5 ～ 1 4 8 を通って機能ブロック 2 1 ～ 2 4 に同一タイミングで与えられる。この時、クロック切り替え信号 S 1 は H である。巨大配線形成後のチップ試験時には、クロック切り替え信号は L となり、パッド 1 5 5 に与えられた外部クロックは、バッファ 1 4 9 及び巨大配線によるクロック信号線 1 5 6 を通り機能ブロック 2 1 ～ 2 4 に供給され、また通常配線によるクロック信号線 1 5 6 A を介して機能ブロック 2 5 に供給される。クロック信号線 1 5 6 は巨大配線で形成されているのでクロックの遅延は小さく、またクロック信号線 1 5 6 A は短いのでクロックの遅延は小さい。

【 0 0 5 6 】

なお、クロックバッファ 1 4 5 は、バッファ 1 7 3、インバータ 1 7 4、NOR ゲート 1 7 5、N チャネルトランジスタ 1 7 6、1 7 7 からなる。クロック切り替え信号 S 1 が H の時、トランジスタ 1 7 7 がオフしてクロック信号線 1 5 6 をディスエーブルとする。クロック切り替え信号 S 1 が L の時、トランジスタ 1 7 6 がオフしてパッド 1 5 0 をディスエーブルとする。クロックバッファ 1 4 6 ～ 1 4 8 も同様な構成である。バッファ 1 4 9 や 1 7 3 は、例えば CMOS インバータの 2 段構成である。

【 0 0 5 7 】

ここで、通常配線層で形成されるパッド 1 5 0 ～ 1 5 4 の数を M とし、巨大配線層で形成されるパッド 1 5 5 の数を N とした場合、 $M > N \geq 1$ を満足するよう

にパッドを設ければ良い。図 8 の例では、 $M=5$ 、 $N=1$ である。

【 0 0 5 8 】

図 9 に、本発明の第 3 の実施の形態による半導体装置を示す。第 3 の実施の形態による半導体装置 3 0 0 は、上記第 2 の実施の形態を簡略化した変形例に相当する。

【 0 0 5 9 】

第 3 の実施の形態では、第 2 の実施の形態のクロックバッファ 1 4 5 ～ 1 4 8 で行っていたクロックの選択を行わず、パッド 1 5 0 ～ 1 5 3 と巨大配線で形成されるクロック信号線 1 5 6 をワイヤード・オアする。巨大配線層に形成されるパッド 1 5 5 から延びるクロック信号線 1 5 6 は、コンタクト部 1 5 7 を介してパッド 1 5 0 ～ 1 5 4 に接続されるとともに、機能ブロック 2 1 ～ 2 5 に近接して配置されたバッファ 1 4 5 A ～ 1 4 9 A の入力端子に接続される。バッファ 1 4 5 A ～ 1 4 9 A の出力端子はそれぞれ、機能ブロック 2 1 ～ 2 5 に接続される。

【 0 0 6 0 】

バッファ 1 4 5 A ～ 1 4 9 A は、前述したバッファ 1 4 9 や 1 7 3 と同様に、例えば CMOS インバータを複数個従属接続したものである。

【 0 0 6 1 】

ウェハ試験時には、パッド 1 5 0 ～ 1 5 4 に外部クロックを供給し、巨大配線後はパッド 1 5 3 に外部クロックを供給する。

【 0 0 6 2 】

上記構成の第 3 の実施の形態は、第 2 の実施の形態と比較して回路がシンプルである。しかし、第 3 の実施の形態は巨大配線後に外部クロックが複数のクロックバッファ 1 4 5 A ～ 1 4 9 A に接続されるため、クロック信号線 1 5 6 の負荷が増大し、高速動作には不利になる。つまり、高速動作を優先させるなら、第 2 の実施の形態が好ましい。

【 0 0 6 3 】

ここで、クロック信号線のように高いタイミング精度が要求される場合には、それを各部へ伝送する巨大配線の長さをできるだけ等しくすることがことましい

【 0 0 6 4 】

図 1 0 は、図 2 に示す構成において、クロック信号線 3 2 を等配線長にした半導体装置 4 0 0 を示す図である。図 1 0 に示すクロック信号線 3 2 A はノード N 1 で分岐する構成で、クロックバッファ 2 7 から各機能ブロック 2 1 ～ 2 5 までの距離は完全に等しいか、ほぼ等しい。配線距離に差があっても、必要とするタイミング精度が得られるのであれば問題ない。換言すれば、必要とするタイミング精度が得られる程度に配線距離の差を許容する。

【 0 0 6 5 】

図 1 1 は、図 8 に示す構成において、クロック信号線 1 5 6 を等配線長にした半導体装置 5 0 0 を示す図である。図 1 1 に示すクロック信号線 1 5 6 A はノード N 1 で分岐する構成で、クロックバッファ 1 4 9 から各機能ブロック 2 1 ～ 2 5 までの距離は完全に等しいか、ほぼ等しい。配線距離に差があっても、必要とするタイミング精度が得られるのであれば問題ない。換言すれば、必要とするタイミング精度が得られる程度に配線距離の差を許容する。なお、半導体装置 5 0 0 は、図 8 に示すクロックバッファ 1 4 9 に代えて、パッド 1 8 2 が接続されたクロックバッファ 1 8 1 を用いている。クロックバッファ 1 8 1 は、クロックバッファ 1 4 5 と同一構成である。

【 0 0 6 6 】

以上、本発明の実施の形態を説明した。本発明は上記実施の形態に限定されるものではなく、様々な実施の形態を含むものである。例えば、上記実施の形態はロジックチップの例であったが、その他のチップ、例えばメモリチップや、機能ブロックとメモリが混在したチップなど様々な形態の半導体装置を含むものである。

(付記)

(付記 1) 回路間を接続する第 1 の配線と、

前記回路間を接続する第 2 の配線と、

前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方を選択する切り替え回路とを有し、

前記第 2 の配線は前記第 1 の配線よりも大きいサイズの半導体装置。

【 0 0 6 7 】

(付記 2) 回路間を接続する第 1 の配線と

前記回路間を接続する第 2 の配線と、

前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方を選択する切り替え回路とを有し、

前記第 2 の配線は前記第 1 の配線より上層に形成されている半導体装置。

【 0 0 6 8 】

(付記 3) 回路間を接続する第 1 の配線と

前記回路間を接続する第 2 の配線と、

前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方を選択する切り替え回路とを有し、

前記第 1 の配線はウェハ試験時に使用される配線であり、前記第 2 の配線はウェハ試験後の動作時に使用される配線である半導体装置。

【 0 0 6 9 】

(付記 4) 前記第 1 及び第 2 の配線は同一信号を伝送する配線である付記 1 ないし 3 のいずれか一項記載の半導体装置。

【 0 0 7 0 】

(付記 5) 前記第 1 及び第 2 の配線は、アドレス、データ、制御信号、クロックのすくなくとも 1 つを伝送する配線である付記 1 ないし 4 のいずれか一項記載の半導体装置。

【 0 0 7 1 】

(付記 6) 前記第 1 の配線は、前記第 2 の配線が形成されていない段階で動作可能であり、この場合には、前記第 1 の配線を介して回路間で信号が伝送される付記 1 ないし 5 のいずれか一項記載の半導体装置。

【 0 0 7 2 】

(付記 7) 前記切り替え回路は、前記第 2 の配線が形成された後では、当該第 2 の配線を固定的に選択する付記 1 ないし 6 のいずれか一項記載の半導体装置

。

【 0 0 7 3 】

(付記 8) 前記切り替え回路は、選択された配線のみを前記回路間に電氣的に接続する付記 1 ないし 7 のいずれか一項記載の半導体装置。

【 0 0 7 4 】

(付記 9) 前記切り替え回路は、プルグラマブルである付記 1 ないし 8 のいずれか一項記載の半導体装置。

【 0 0 7 5 】

(付記 1 0) 前記第 2 の配線は、同一長さの信号線を含むことを特徴とする付記 1 ないし 9 のいずれか一項記載の半導体装置。

【 0 0 7 6 】

(付記 1 1) チップ上に形成される第 1 の配線層と、これよりも上層に形成される第 2 の配線層とを具備し、第 1 の配線層に形成される第 1 の電極の数を M とし、第 2 の配線層に形成される第 2 の電極の数を N とし、第 1 及び第 2 の電極は同一信号を受信する場合、 $M > N \geq 1$ の条件が満足される半導体装置。

【 0 0 7 7 】

(付記 1 2) 付記 1 1 記載の半導体装置は、 M 個の第 1 の電極に各々設けた受信回路を有し、

第 1 の所定状態では、第 1 の電極に与えられた信号が第 1 の配線層を通り内部回路に与えられ、第 2 の所定状態では、第 2 の電極に与えられた信号が第 2 の配線層を通り前記内部回路に与えられる半導体装置。

【 0 0 7 8 】

【発明の効果】

以上説明したように、本発明によれば、異なる形態の配線を選択的に用いることで、高速かつ低電力消費の半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

ロジックチップの一般的な構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態による半導体装置の構成を示すブロック図である。

【図 3】

図 2 に示す半導体装置の断面を模式的に示す図である。

【図 4】

図 2 に示す構成のうち、アドレスや制御信号など一方向に伝送される信号に係る部分を詳細に示す図である。

【図 5】

図 2 に示す構成のうち、クロックの伝送に係る部分を詳細に示す図である。

【図 6】

図 2 に示す構成のうち、データの伝送に係る部分を詳細に示す図である。

【図 7】

切り替え回路の構成例を示す図である。

【図 8】

本発明の第 2 の実施の形態による半導体装置を示すブロック図である。

【図 9】

本発明の第 3 の実施の形態による半導体装置を示すブロック図である。

【図 1 0】

図 2 に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図である。

【図 1 1】

図 8 に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図である。

【符号の説明】

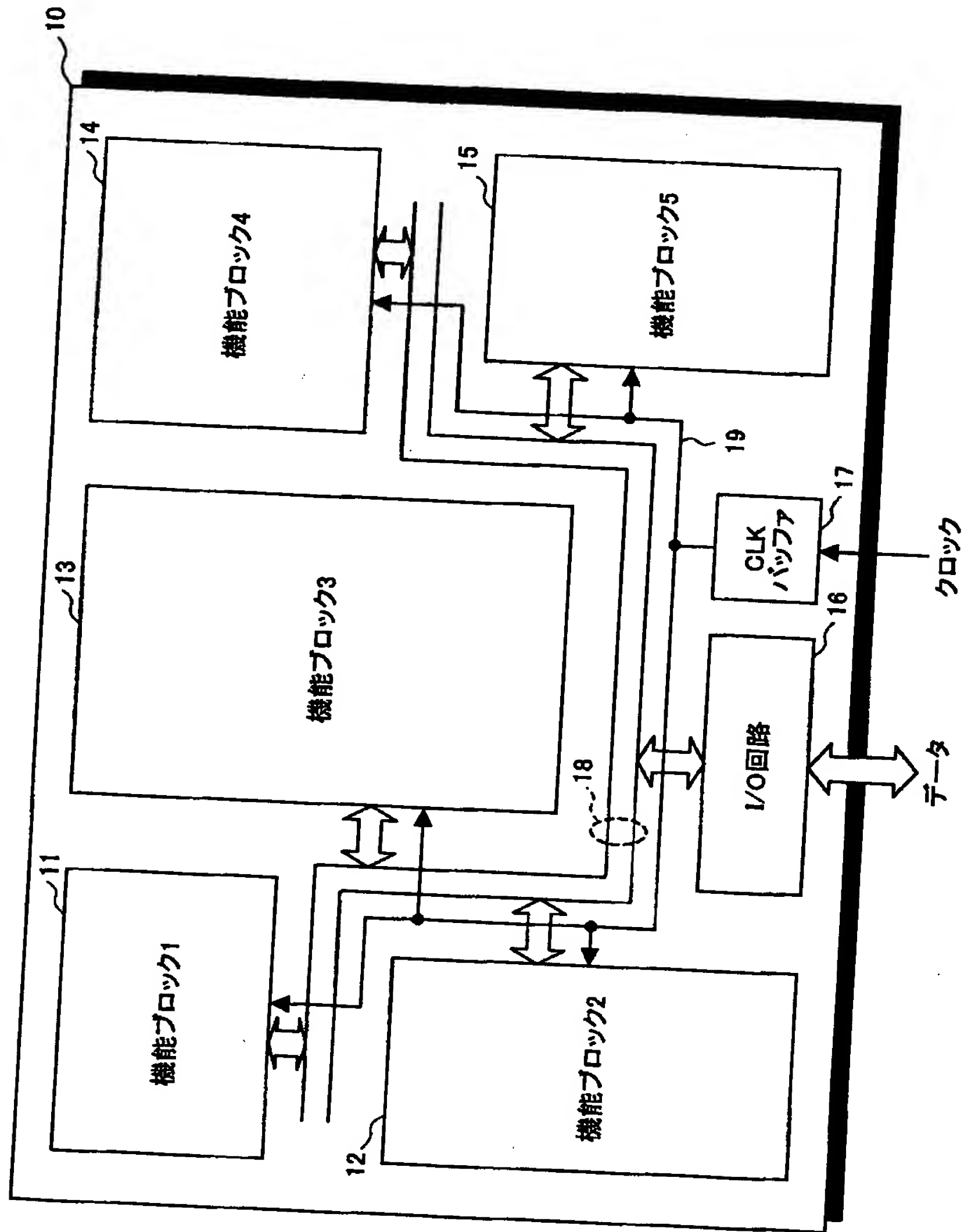
- 2 8 通常配線によるバス
- 2 9 通常配線によるクロック信号線
- 3 1 巨大配線によるバス
- 3 2 巨大配線によるクロック信号線
- 3 2 A 巨大配線によるクロック信号線
- 1 5 6 巨大配線によるクロック信号線
- 1 5 6 A 巨大配線によるクロック信号線

【書類名】

図面

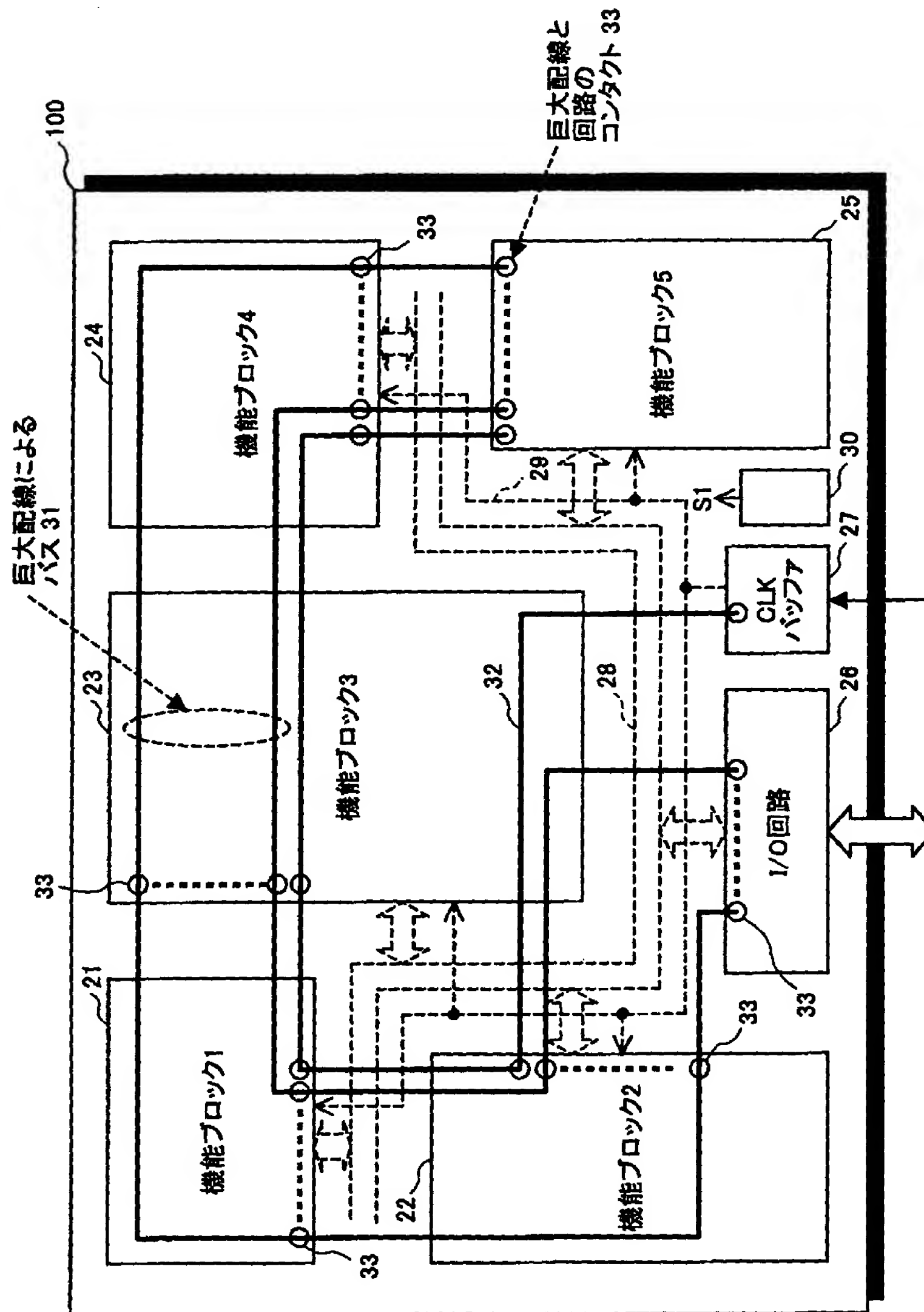
【図 1】

ロジックチップの一般的な構成を示すブロック図



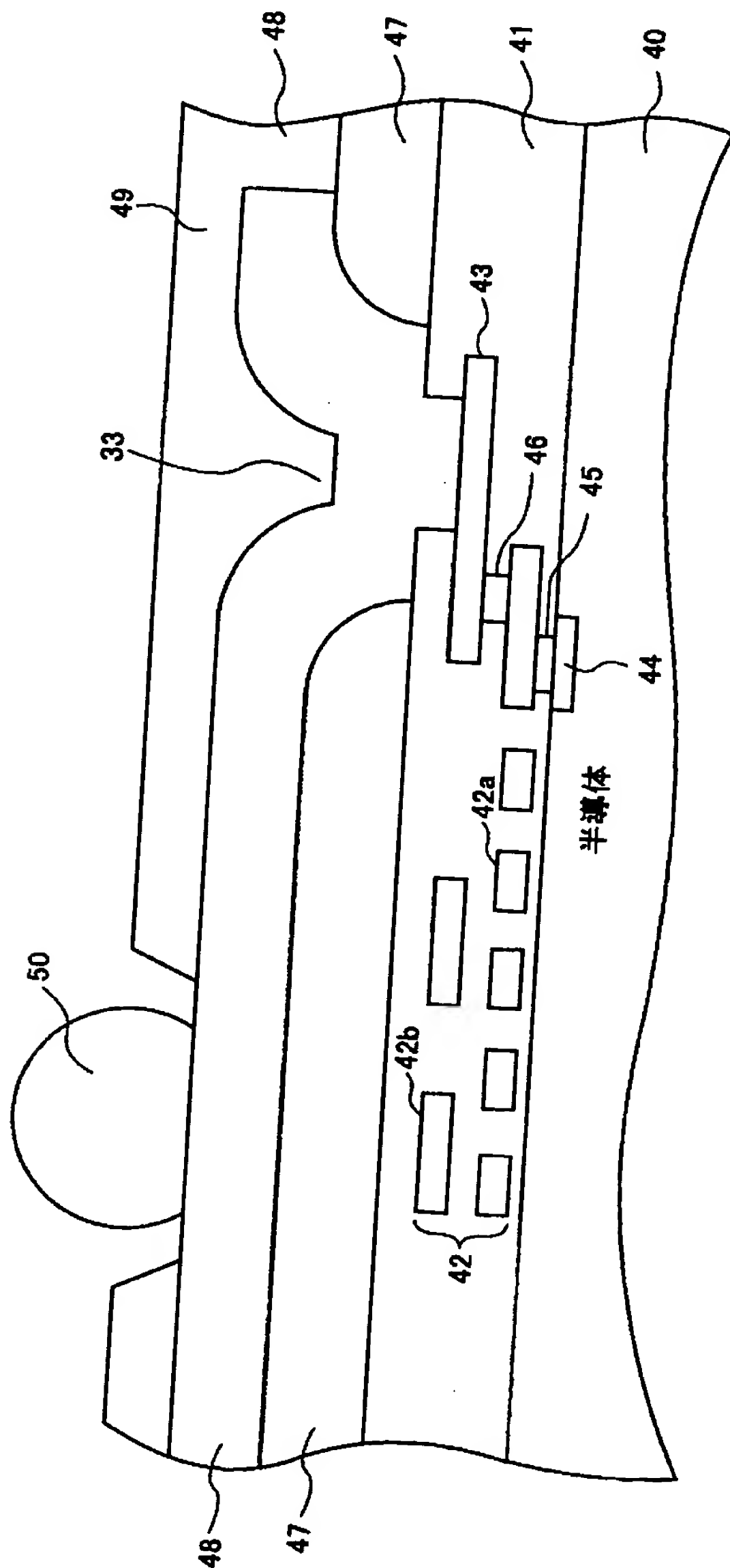
【図 2】

本発明の第 1 の実施の形態による半導体装置の構成を示すブロック図



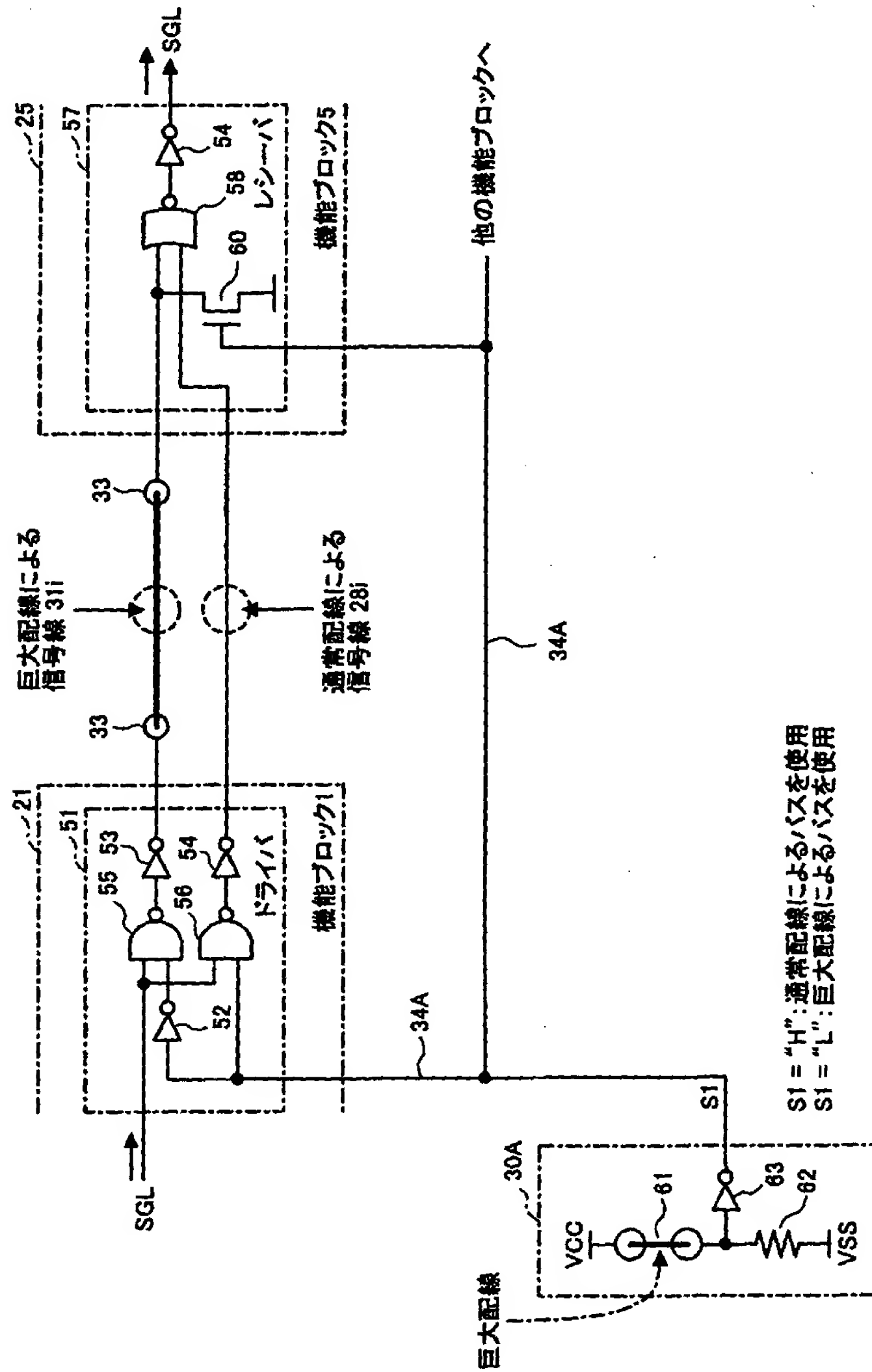
【図3】

図2示す半導体装置の断面を模式的に示す図



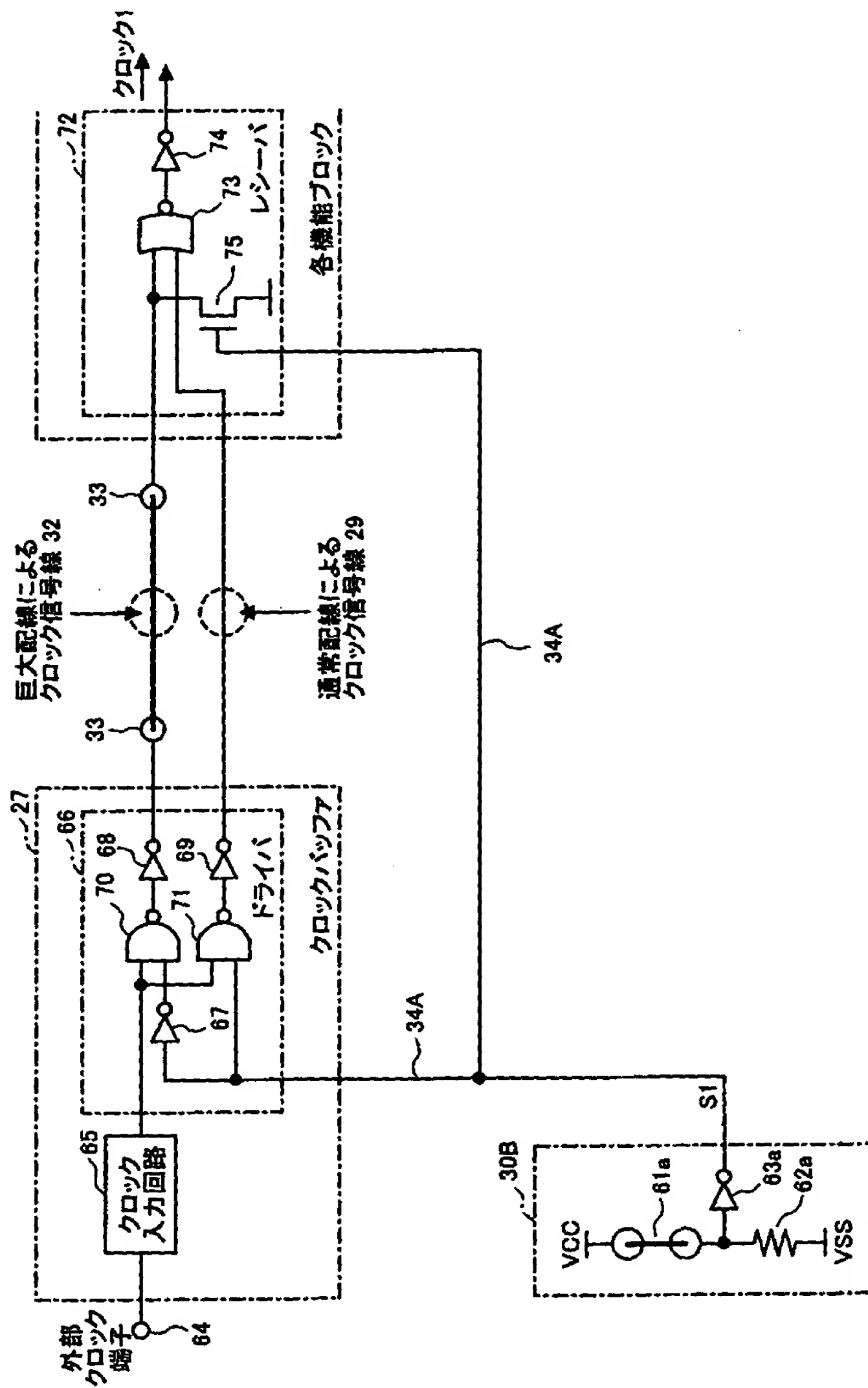
【図 4】

図 2 に示す構成のうち、アドレスや制御信号など一方向に伝送される信号に係る部分を詳細に示す図



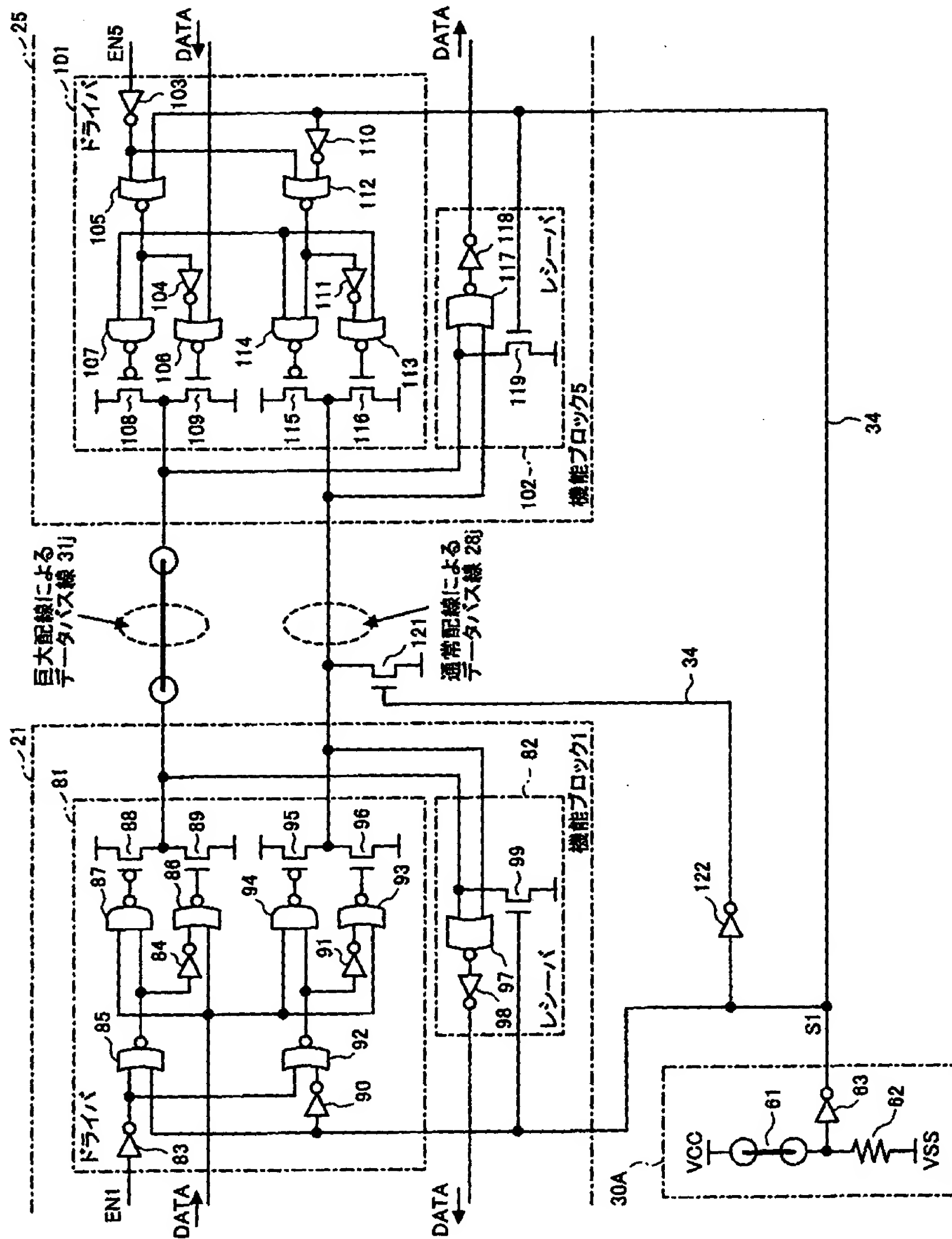
【図 5】

図 2 に示す構成のうち、クロックの伝送に係る部分を詳細に示す図



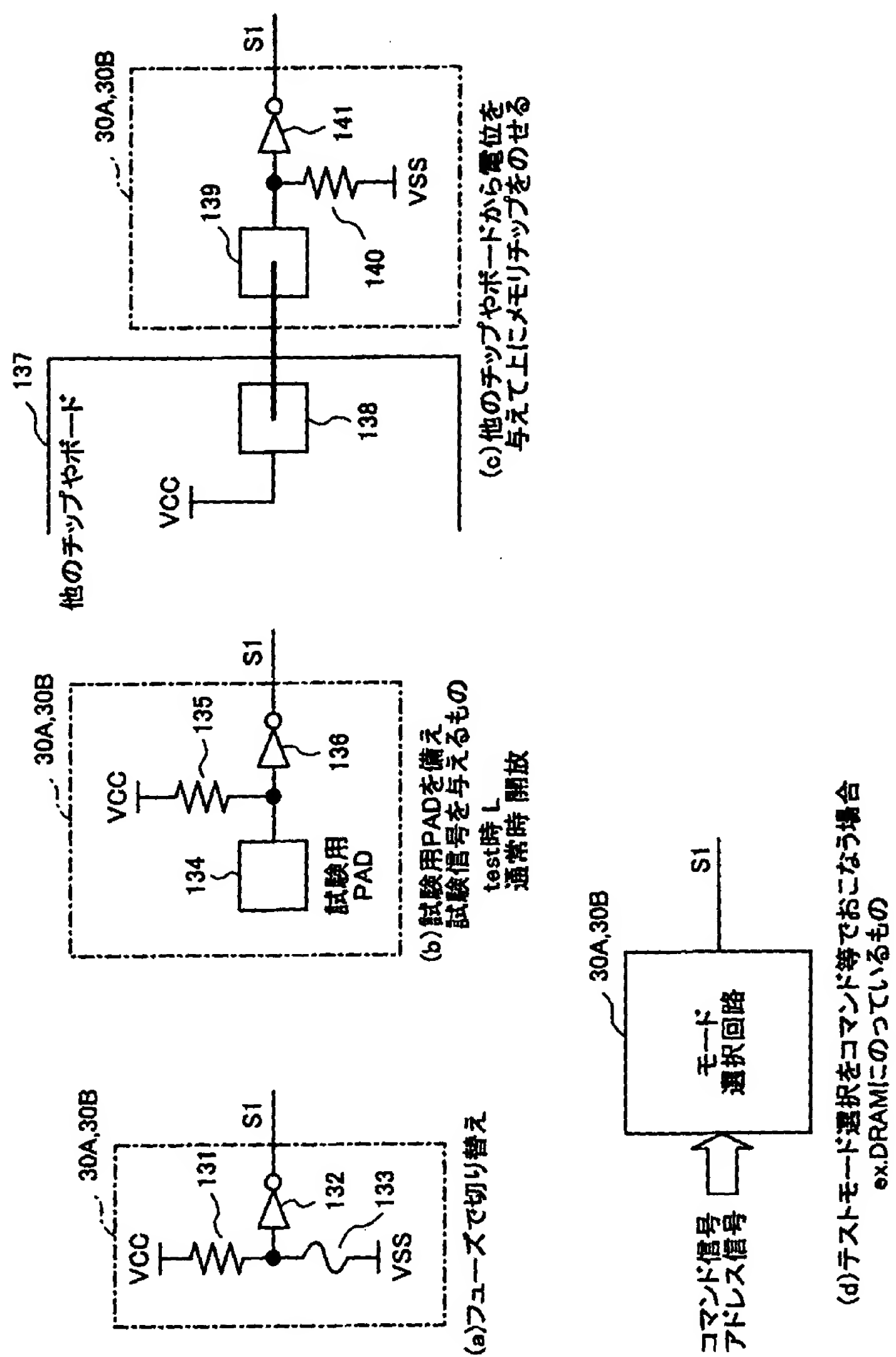
【図6】

図2に示す構成のうち、データの伝送に係る部分を詳細に示す図



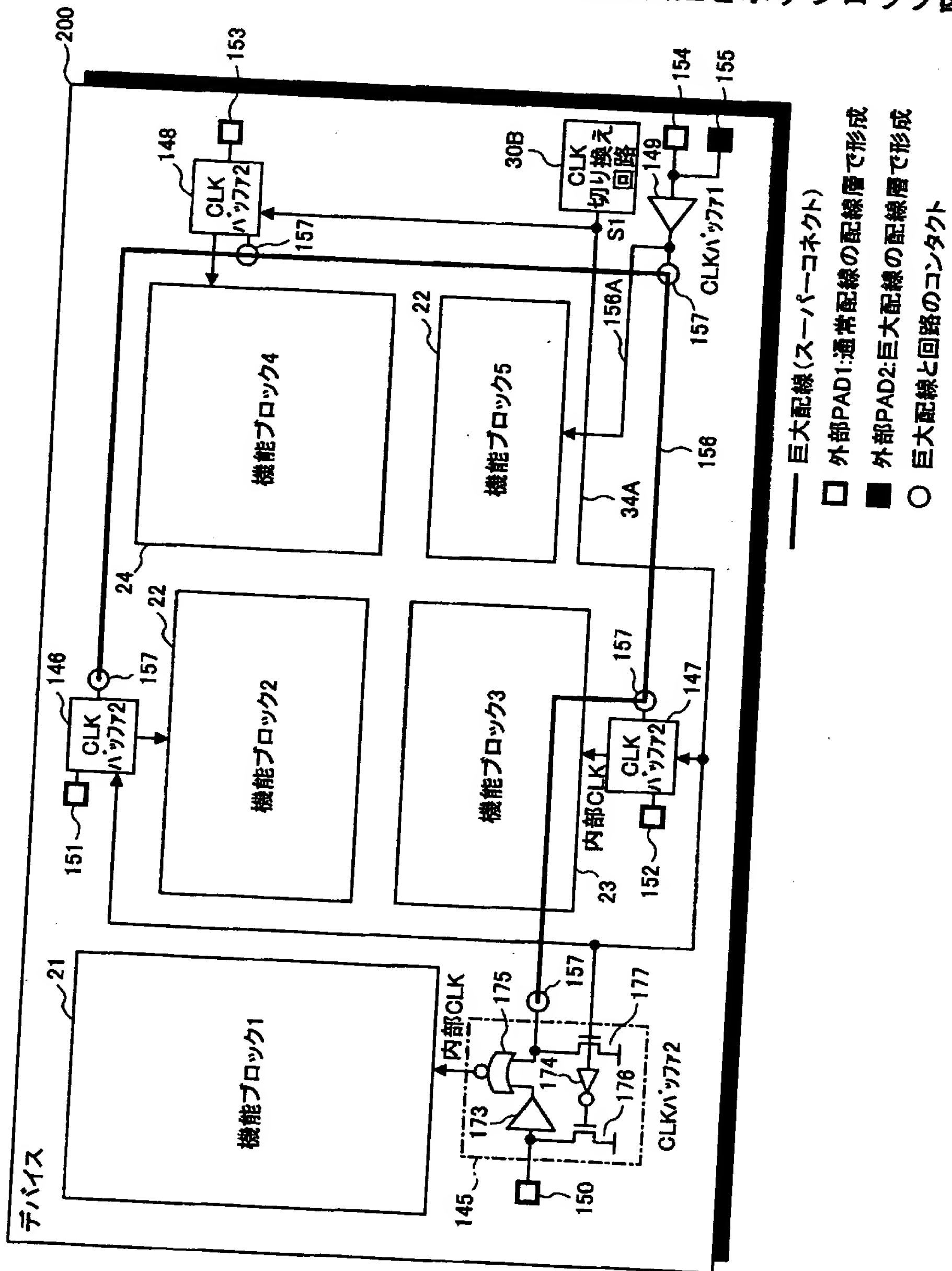
【図 7】

切り替え回路の構成例を示す図



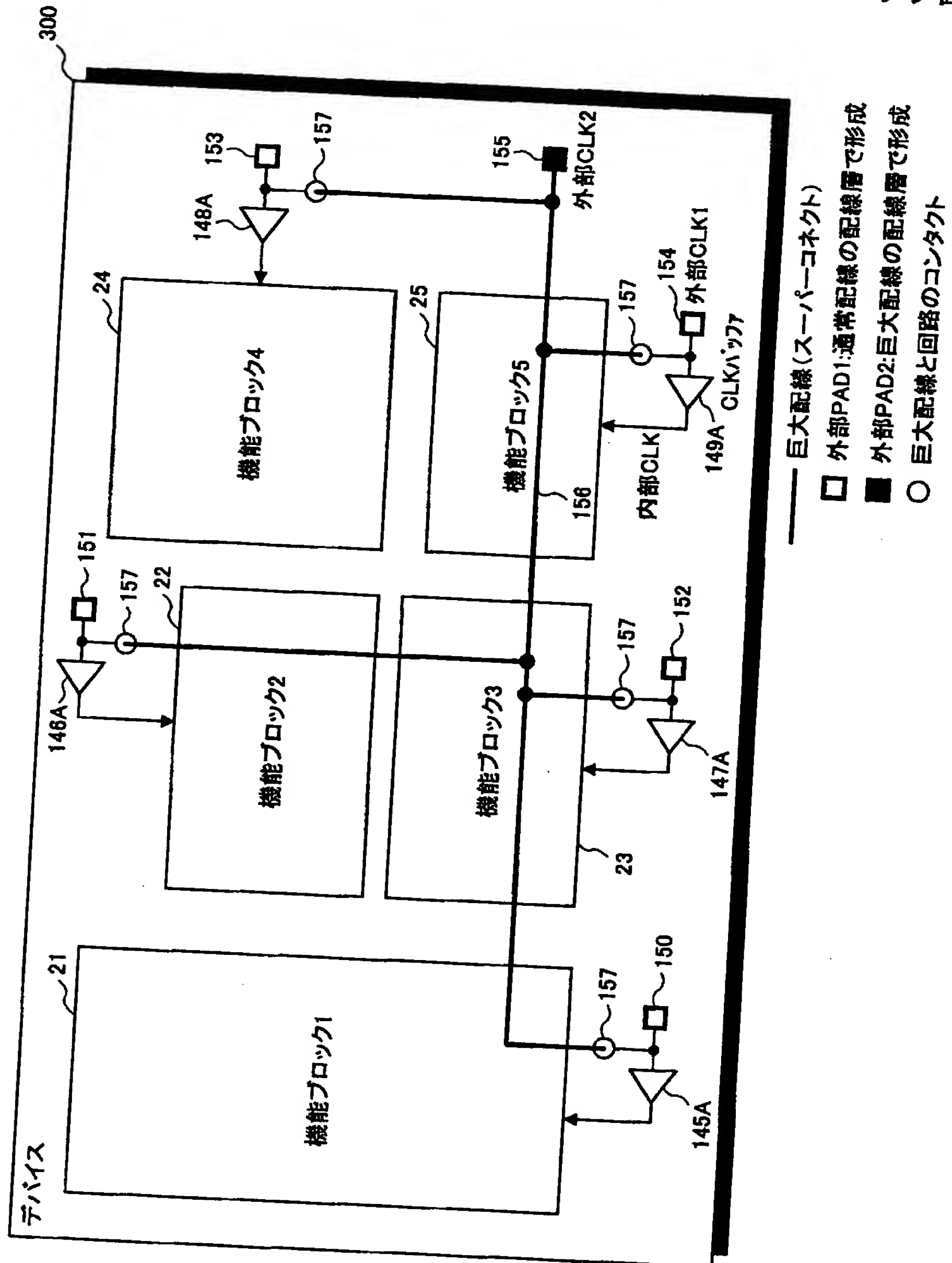
【図8】

本発明の第2の実施の形態による半導体装置を示すブロック図



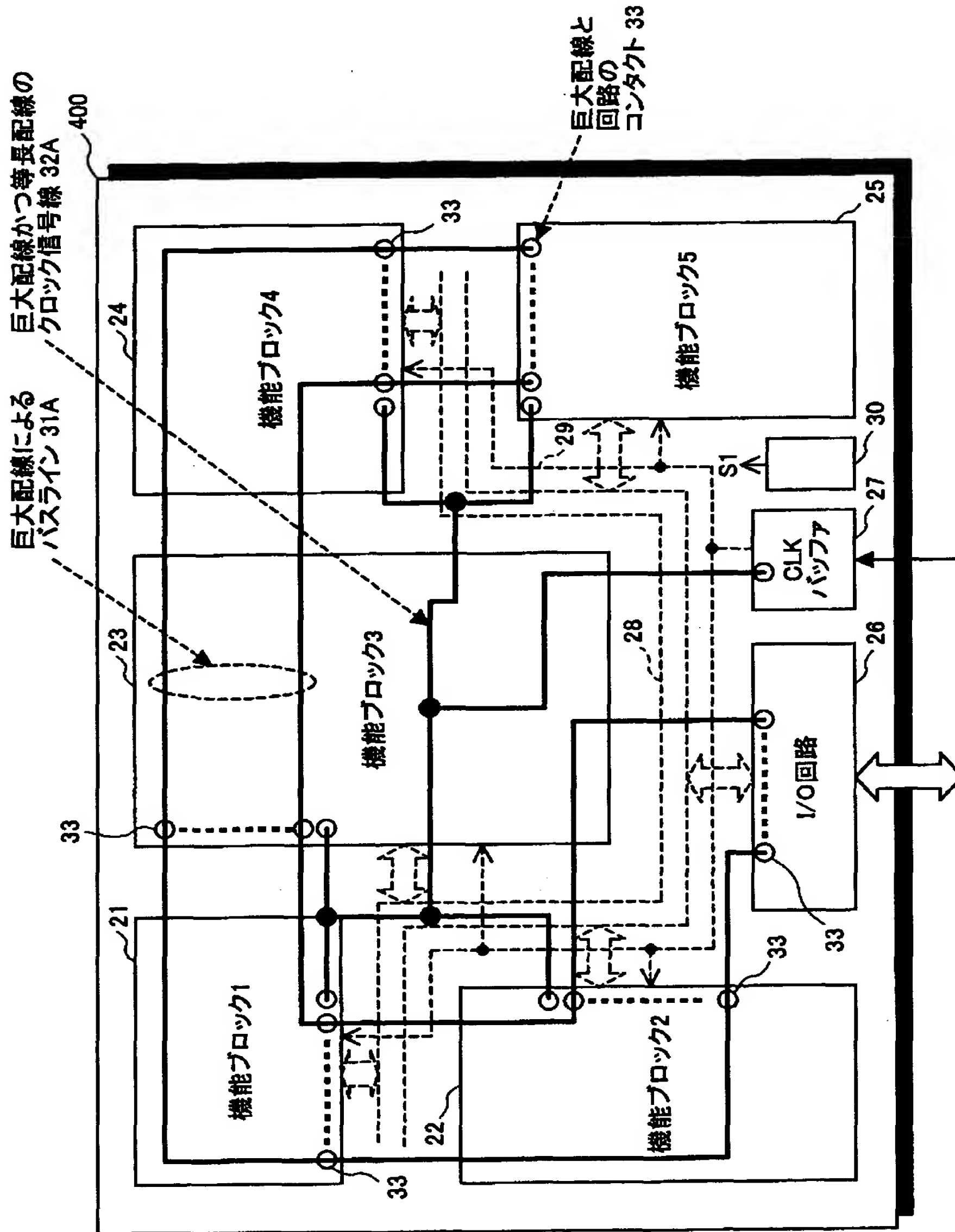
【図9】

本発明の第3の実施の形態による半導体装置を示すブロック図



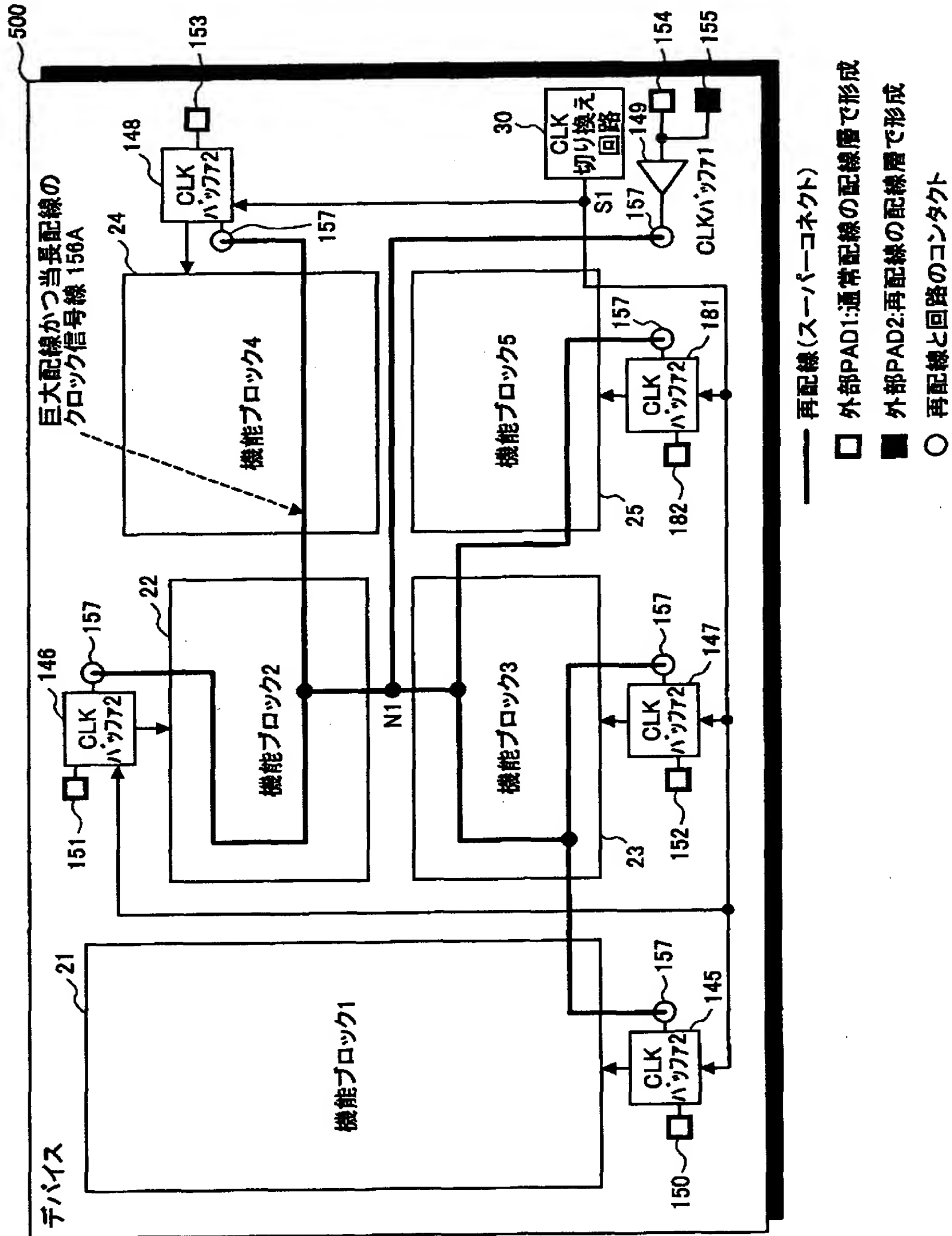
【図 1 0】

図 2 に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図



【図 1 1】

図 8 に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図



【書類名】 要約書

【要約】

【課題】 高速で低電力消費の半導体装置を提供する。

【解決手段】 回路間を接続する第 1 の配線（28、29）と、前記回路間を接続する第 2 の配線（31、32）と、前記回路間で信号を伝送するために、前記第 1 及び第 2 の配線のいずれか一方を選択する切り替え回路（30）とを有し、前記第 2 の配線は前記第 1 の配線よりも大きいサイズの半導体装置。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社